

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kazuhiro NODA

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: February 19, 2004

For: SHIFT REGISTER AND DISPLAY DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

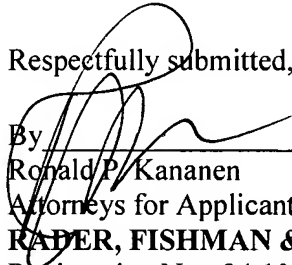
<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-046773	February 25, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith.

Dated: February 19, 2004

Lion Building
1233 20th Street, N.W., Suite 501
Washington, D.C. 20036
Tel: (202) 955-3750
Fax: (202) 955-3751

Respectfully submitted,

By 

Ronald P. Kananen
Attorneys for Applicant
RADER, FISHMAN & GRAUER, PLLC
Registration No.: 24,104
(202) 955-3750

Customer No. 23353



日 本 国 特 許 庁
JAPAN PATENT OFFICE

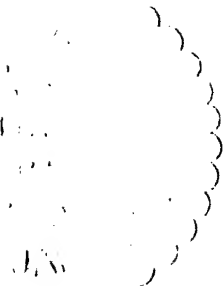
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 4 6 7 7 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 4 6 7 7 3]

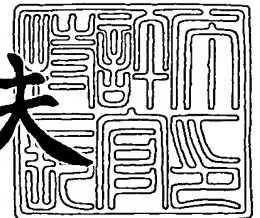
出 願 人 ソニー株式会社
Applicant(s):



2 0 0 3 年 1 0 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290639902

【提出日】 平成15年 2月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 19/28
G02F 1/133
G09G 3/36

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 野田 和宏

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シフトレジスタおよび表示装置

【特許請求の範囲】

【請求項 1】 入力パルスを一方の入力とする N A N D 回路からなる転送部と、

電源とクロックパルスが与えられるクロック入力端との間に直列に接続され、ゲート同士およびドレイン同士が共通に接続された P M O S トランジスタおよび N M O S トランジスタを有し、前記 N A N D 回路の出力端に入力端が接続され、出力電位を前記 N A N D 回路にその他方の入力として与える保持部と

を有する単位回路からなることを特徴とするシフトレジスタ。

【請求項 2】 前記単位回路が複数段縦続接続され、

奇数段目の単位回路と偶数段目の単位回路とは、それぞれ位相が $1/4$ ずれたクロックパルスに同期して動作する

ことを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 3】 前記保持部の N M O S トランジスタに並列に接続され、当該保持部の入力パルスと逆相のパルスをゲート入力とする P M O S トランジスタを有する

ことを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 4】 前記保持部の入力パルスを位相反転して前記 P M O S トランジスタのゲートに与えるインバータ回路を有する

ことを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 5】 前記保持部に与えられるクロックパルスに対して位相が $1/4$ ずれたクロックパルスに同期して、前記入力パルスの波形を整形して前記転送部に与える波形整形用転送回路を有する

ことを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 6】 前記入力パルスの位相を反転して前記波形整形用転送回路に与えるインバータ回路を有する

ことを特徴とする請求項 5 記載のシフトレジスタ。

【請求項 7】 2 次元状に配列された複数の画素と、

前記複数の画素の各々を列単位あるいは行単位で選択する走査回路とを有する表示装置であって、

前記走査回路は、

入力パルスを一方の入力とするNAND回路からなる転送部と、

電源とクロックパルスが与えられるクロック入力端との間に直列に接続され、ゲート同士およびドレイン同士が共通に接続されたPMOSトランジスタおよびNMOSトランジスタを有し、前記NAND回路の出力端に入力端が接続され、出力電位を前記NAND回路にその他方の入力として与える保持部と

を有する単位回路が複数段縦続接続されてなり、

奇数段目の単位回路と偶数段目の単位回路とがそれぞれ位相が $1/4$ ずれたクロックパルスに同期して動作するシフトレジスタからなる

ことを特徴とする表示装置。

【請求項 8】 前記保持部のNMOSトランジスタに並列に接続され、当該保持部の入力パルスと逆相のパルスをゲート入力とするPMOSトランジスタを有する

ことを特徴とする請求項 7 記載の表示装置。

【請求項 9】 前記保持部の入力パルスを位相反転して前記PMOSトランジスタのゲートに与えるインバータ回路を有する

ことを特徴とする請求項 8 記載の表示装置。

【請求項 10】 前記保持部に与えられるクロックパルスに対して位相が $1/4$ ずれたクロックパルスに同期して、前記入力パルスの波形を整形して前記転送部に与える波形整形用転送回路を有する

ことを特徴とする請求項 7 記載の表示装置。

【請求項 11】 前記入力パルスの位相を反転して前記波形整形用転送回路に与えるインバータ回路を有する

ことを特徴とする請求項 10 記載の表示装置。

【請求項 12】 前記複数の画素の表示素子が液晶セルである

ことを特徴とする請求項 7 記載の表示装置。

【発明の詳細な説明】

【 0 0 0 1 】**【発明の属する技術分野】**

本発明は、シフトレジスタおよび表示装置に関し、特にクロック（ド）インバータを多段接続してなるクロックインバータ方式のシフトレジスタおよび当該シフトレジスタを周辺駆動回路の一部に用いたアクティブマトリクス型表示装置に関する。

【 0 0 0 2 】**【従来の技術】**

従来、クロックインバータを用いたシフトレジスタでは、正側電源と負側電源との間に4つのトランジスタ素子を直列に接続してなるクロックインバータを基本回路として用い、入力パルスを基にクロックパルスに同期して転送、保持を行うようにしている（例えば、特許文献1参照）。

【 0 0 0 3 】**【特許文献1】**

特開平11-134893号公報（特に、段落0018～0020、段落0023～0025および図2、図4）

【 0 0 0 4 】

以下、従来例に係るシフトレジスタについて図面を用いて具体的に説明する。図9は、従来例に係るシフトレジスタの1つの転送段の回路構成を示す回路図である。同図から明らかなように、一対のクロックインバータ101、102およびその後段のインバータ103からなる回路を単位として1つの転送段が構成されている。そして、この転送段が複数段縦続接続されることによってシフトレジスタを構成することになる。

【 0 0 0 5 】

クロックインバータ101は、ゲート同士およびドレイン同士がそれぞれ共通に接続されてC-MOSインバータを構成するPMOSトランジスタQp101およびNMOSトランジスタQn101と、PMOSトランジスタQp101のソースと正側電源VDDとの間に接続され、クロックパルスck1をゲート入力とするPMOSトランジスタQp102と、NMOSトランジスタQn101の

ソースと負側電源 V_{SS} との間に接続され、クロックパルス $ck1$ と逆相のクロックパルス $ck1x$ をゲート入力とする NMOS トランジスタ Q_{n102} とから構成されている。

【0006】

クロックインバータ 102 も、クロックインバータ 101 と同様に、ゲート同士およびドレイン同士がそれぞれ共通に接続されて C-MOS インバータを構成する MOS トランジスタ Q_{p103} 、 Q_{n103} と、PMOS トランジスタ Q_{p103} のソースと正側電源 V_{DD} との間に接続され、クロックパルス $ck1x$ をゲート入力とする PMOS トランジスタ Q_{p104} と、NMOS トランジスタ Q_{n103} のソースと負側電源 V_{SS} との間に接続され、クロックパルス $ck1$ をゲート入力とする NMOS トランジスタ Q_{n104} とから構成されている。

【0007】

これらクロックインバータ 101、102 は各出力端、即ち MOS トランジスタ Q_{p101} 、 Q_{n101} のドレイン共通接続点と MOS トランジスタ Q_{p103} 、 Q_{n103} のドレイン共通接続点が相互に接続されている。そして、クロックインバータ 101 の入力端、即ち MOS トランジスタ Q_{p101} 、 Q_{n101} のゲート共通接続点に入力パルス $st1$ が与えられ、クロックインバータ 102 の出力端から出力パルス $out1$ が取り出される。

【0008】

インバータ 103 は、正側電源 V_{DD} と負側電源 V_{SS} との間に直列に接続され、ゲート同士およびドレイン同士がそれぞれ共通に接続された PMOS トランジスタ Q_{p105} および NMOS トランジスタ Q_{n105} からなる C-MOS インバータ構成となっている。このインバータ 103 は入力端、即ち MOS トランジスタ Q_{p105} 、 Q_{n105} のゲート共通接続点がクロックインバータ 102 の出力端に、その出力端、即ち MOS トランジスタ Q_{p103} 、 Q_{n103} のドレイン共通接続点がクロックインバータ 102 の入力端、即ち MOS トランジスタ Q_{p103} 、 Q_{n103} のゲート共通接続点にそれぞれ接続されている。

【0009】

図 10 に、入力パルス $st1$ 、クロックパルス $ck1$ 、 $ck1x$ および出力パ

ルス $out1$ のタイミング関係を示す。入力パルス $st1$ は、クロックパルス $ck1$ の高レベルの期間（転送期間）でクロックインバータ 101 に取り込まれ、クロックパルス $ck1x$ の高レベルの期間（保持期間）でクロックインバータ 102 およびインバータ 103 にホールドされることによって出力パルス $out1$ として次段の転送段へ転送（シフト）される。

【0010】

【発明が解決しようとする課題】

上記従来例に係るシフトレジスタにおいて、基本回路であるクロックインバータ 101 、 102 では $VDD-VSS$ 間のトランジスタの素子数が4つと多く、転送波形の立ち上がり、立ち下がりを高速にするためにトランジスタのサイズを大きくすると、各転送段の入力ゲート容量が増加し、それを前段の転送段が駆動するためにはさらにトランジスタサイズを大きくして駆動能力を上げなければならないため、シフトレジスタ動作の高速化の妨げとなるという課題がある。

【0011】

また、トランジスタの閾値電圧 V_{th} の変動に弱く、しかもトランジスタ自体の V_{th} によって電源電圧の低電圧化が難しくなるという課題もある。さらに、一例として、 $PchMOS$ トランジスタの閾値電圧 V_{th} が約 $2.5V$ 程度、 $NchMOS$ トランジスタの閾値電圧 V_{th} が約 $1.0V \sim 1.5V$ 程度であると仮定すると、正側の回路が約 $2.0V \sim 3.0V$ 程度で動作を開始するのに対して、負側の回路では約 $5V$ 程度でないと動作を開始できないため、正側／負側の動作の対称性の点でも問題となる。

【0012】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、正側電源－負側電源間のトランジスタの素子数を減らし、電源電圧の低電圧化およびシフトレジスタ動作の高速化を可能としたシフトレジスタおよびこれを周辺駆動回路の一部として用いた表示装置を提供することにある。

【0013】

【課題を解決するための手段】

本発明によるシフトレジスタは、入力パルスを一方の入力とする $NAND$ 回路

からなる転送部と、電源とクロックパルスが与えられるクロック入力端との間に直列に接続され、ゲート同士およびドレイン同士が共通に接続されたPMOSトランジスタおよびNMOSトランジスタを有し、前記NAND回路の出力端に出力端が接続され、出力電位を前記NAND回路にその他方の入力として与える保持部とを有する単位回路からなる構成となっている。かかる構成のシフトレジスタは、単位回路が複数段縦続接続されることにより、2次元状に配列された複数の画素と、これら複数の画素の各々を列単位あるいは行単位で選択する走査回路とを有する表示装置において、当該走査回路として用いられる。

【0014】

上記構成のシフトレジスタまたはこれを走査回路として用いた表示装置において、NAND回路からなる転送部は、その一方の入力となる入力パルスを取り込み、その他方の入力となる保持部の出力電位に基づいて当該保持部へ転送する。保持部は、転送部から転送されたパルスをクロックパルスに同期して保持し、出力する。すなわち、シフトレジスタの保持機能が、クロックパルス自体を用いて行われる。また、転送部を構成するNAND回路については、正側電源と負側電源との間に3つのトランジスタをいわゆる縦積みすることで実現できる。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】

〔第1実施形態〕

図1は、本発明の第1実施形態に係るシフトレジスタの1つの転送段の回路構成を示す回路図である。図1から明らかなように、本実施形態に係るシフトレジスタは、各転送段（単位回路）が入力パルス s_t を取り込む転送部11と、その取り込んだパルスを保持する保持部12とを有し、単一のクロックパルス ck に同期してシフトレジスタ動作を行う構成となっている。

【0017】

転送部11は、NAND回路からなる回路構成となっている。すなわち、転送部11は、ドレインが正側電源 V_{DD} に接続されたPMOSトランジスタ Q_{p1}

1と、このPMOSトランジスタ Q_{p11} に対して並列に接続されたPMOSトランジスタ Q_{p12} と、これらMOSトランジスタ Q_{p11} 、 Q_{p12} とドレイン同士が共通に接続されたNMOSトランジスタ Q_{n11} と、このNMOSトランジスタ Q_{n11} のソースにドレインが接続され、ソースが負側電源VDD（または、GND）に接続されたNMOSトランジスタ Q_{n12} とを有する構成となっている。

【0018】

この転送部11において、PMOSトランジスタ Q_{p11} とMOSトランジスタ Q_{p11} のゲート同士が共通に接続され、このゲート共通接続点に入力パルス s_t が与えられる。また、PMOSトランジスタ Q_{p12} とMOSトランジスタ Q_{n12} のゲート同士が共通に接続され、このゲート共通接続点には保持部12の出力電位が与えられる。

【0019】

NAND回路については、図1から明らかなように、正側電源VDDと負側電源VSS（または、GND）との間に、3つのトランジスタ、即ちMOSトランジスタ Q_{p11} （ Q_{p12} ）、 Q_{n11} 、 Q_{n12} を縦積みすることによって実現できる。なお、NAND回路としては、図1に示した回路構成のものに限られるものではなく、種々の周知の回路構成のものを用いることができる。種々の周知の回路構成のものはいずれも、VDD-VSS間のトランジスタの素子数が3つとなっている。

【0020】

保持部12は、ドレインが正側電源VDDに接続されたPMOSトランジスタ Q_{p21} と、このPMOSトランジスタ Q_{p21} とゲート同士およびドレイン同士がそれぞれ共通に接続されたNMOSトランジスタ Q_{n21} とを有し、NMOSトランジスタ Q_{n21} のソースにクロックパルス ck が与えられる構成となっている。

【0021】

この保持部12において、MOSトランジスタ Q_{p21} 、 Q_{n21} のゲート共通接続点が転送部11の出力端、即ちMOSトランジスタ Q_{p11} 、 Q_{p12} 、

Q_{n11}のドレイン共通接続点に接続されている。また、保持部12の出力端、即ちMOSトランジスタQ_{p21}、Q_{n21}のドレイン共通接続点が、転送部11のMOSトランジスタQ_{p12}、Q_{n12}のゲート共通接続点に接続され、当該ゲート共通接続点に対して出力電位を与える。

【0022】

次に、上記構成の第1実施形態に係るシフトレジスタの1つの転送段の回路動作について、図2のタイミングチャートを用いて説明する。図2のタイミングチャートには、入力パルス s_t 、クロックパルス ck 、転送部11の出力電位（保持部12の入力電位）Aおよび出力パルス out のタイミング関係が示されている。

【0023】

時刻 t_{11} で入力パルス s_t が高レベル（以下、「“H”レベル」と記す）から低レベル（以下、「“L”レベル」と記す）へ遷移すると、転送部11即ちNAND回路が“L”レベルを認識、即ちPMOSトランジスタQ_{p11}がオン状態となり、その出力電位Aを“H”レベル側へ変化させる。なお、時刻 t_{11} 以前の出力電位Aは未確定の状態にある。

【0024】

次に、時刻 t_{12} では、クロックパルス ck が“H”レベルから“L”レベルへ遷移することにより、保持部12のNMOSトランジスタQ_{n21}のソース電位が“L”レベルとなり、当該NMOSトランジスタQ_{n21}がオン状態になるため、保持部12の出力電位、即ち出力パルス out が“H”レベルから“L”レベルに遷移する。

【0025】

次に、時刻 t_{13} では、入力パルス s_t が“L”レベルから“H”レベルへ遷移するが、保持部12の出力電位が“L”レベルの状態にあり、これによってPMOSトランジスタQ_{p12}がオン状態にあり、NMOSトランジスタQ_{n12}がオフ状態にあるため、転送部11の出力電位Aは“H”レベルのまま保持される。

【0026】

次に、時刻 t_{14} では、クロックパルス ck が “L” レベルから “H” レベルへ遷移することにより、保持部 12 の NMOS トランジスタ Q_{n21} のソース電位が “H” レベルとなり、当該 NMOS トランジスタ Q_{n21} がオフ状態になるため、出力パルス out が “L” レベルから “H” レベルに遷移する。これにより、PMOS トランジスタ Q_{p11} 、 Q_{p12} が共にオフ状態になり、NMOS トランジスタ Q_{n12} がオン状態になるため、転送部 11 の出力電位 A が “H” レベルから “L” レベルへ遷移する。

【0027】

次に、時刻 t_{15} では、時刻 t_{12} と同様に、クロックパルス ck が “H” レベルから “L” レベルへ遷移するが、入力パルス st が “H” レベルの状態にあるため、PMOS トランジスタ Q_{p11} 、 Q_{p12} が共にオフ状態、NMOS トランジスタ Q_{n11} 、 Q_{n12} が共にオン状態になっている。その結果、転送部 11 の出力電位 A が “L” レベルの状態にあるため、出力パルス out は “H” レベルのままとなる。

【0028】

上記の一連の過程を経ることで、入力パルス st を転送部 11 が取り込み、これを保持部 12 がホールドしかつ波形整形して次段の転送段へ転送するシフトレジスタ動作が行われる。すなわち、シフトレジスタの機能の中で保持を行う機能を、当該レジスタ内で独立して行うのではなく、クロックパルス ck （それに準ずるパルスでも良い）自体を用いて保持を行う動作が行われる。

【0029】

上述したように、NAND 回路を用いて転送機能を実現する転送部 11 と、クロックパルス ck （または、それに準ずるパルス）自体を用いて保持機能を実現する保持部 12 とによって単位回路（転送段）を構成したことにより、正側電源 V_{DD} －負側電源 V_{SS} （または、 GND ）間のトランジスタの素子数を 3 つに抑えることができるため、従来技術の 4 つに比べてトランジスタを 1 つ減らすことができる。これにより、転送波形の立ち上がり、立ち下がりを高速にするためにトランジスタのサイズを大きくしても、各転送段の入力ゲート容量の増加を抑えることができるため、トランジスタサイズを大きくしてのシフトレジスタ動作

の高速化が可能になる。

【0030】

また、トランジスタが1つ減ることにより、トランジスタの閾値電圧 V_{th} 分だけ電源電圧の低電圧化が可能になる。さらに、一例として、PchMOSトランジスタの閾値電圧 V_{th} が約2.5V程度、NchMOSトランジスタの閾値電圧 V_{th} が約1.0V～1.5V程度であると仮定すると、負側の回路が約2.5V程度で動作を開始し、正側の回路が約2.0V～3.0V程度で動作を開始することになるため、正側／負側の動作の対称性についての問題も解消できることになる。

【0031】

図3は、上記構成の転送段（単位回路）を多段接続してなるシフトレジスタの構成を示す回路図である。また、多段接続の場合のタイミングチャートを図4に示す。

【0032】

図3から明らかなように、多段接続（本例では、2段接続）する場合には、上記構成の転送段（単位回路）10（10-1, 10-2）を縦続接続し、1段目の転送段10-1の出力パルス $out1$ を2段目の転送段10-2にその入力パルス $st2$ として与えるとともに1段目の転送段10-1と2段目の転送段10-2とにそれぞれ位相が1/4ずれたクロックパルス $ck1$, $ck2$ を与えるようにすることにより、シフトレジスタ動作が可能になる。

【0033】

図4のタイミングチャートにおいて、1段目の転送段10-1の動作タイミング $t11 \sim t15$ が図2の動作タイミング $t11 \sim t15$ に対応し、2段目の転送段10-2の動作タイミング $t21 \sim t25$ が図2の動作タイミング $t11 \sim t15$ に対応することになる。

【0034】

ここでは、2段の場合を例に挙げたが、3段以上の場合には、同様に各転送段を縦続接続するとともに、奇数段目の転送段10-1, 10-3, ...と偶数段目の転送段10-2, 10-4, ...とにそれぞれ位相が1/4ずれたクロックパル

ス $ck1$, $ck2$ を与えるようにすれば良い。ただし、奇数段目の転送段 $10-1$, $10-3$, ... において、1 段目、5 段目、... にクロックパルス $ck1$ を与える場合 3 段目、7 段目、... にはクロックパルス $ck1$ と逆相のクロックパルス $ck1x$ を与えることになる。同様に、偶数段目の転送段 $10-2$, $10-4$, ... において、2 段目、6 段目、... にクロックパルス $ck2$ を与える場合 4 段目、8 段目、... にはクロックパルス $ck2$ と逆相のクロックパルス $ck2x$ を与えることになる。いずれの場合にも、奇数段目の転送段 $10-1$, $10-3$, ... と偶数段目の転送段 $10-2$, $10-4$, ... とにそれぞれ位相が $1/4$ ずれたクロックパルス $ck1$, $ck2$ が与えることに変わりはない。

【0035】

[第2実施形態]

図5は、本発明の第2実施形態に係るシフトレジスタの1つの転送段の回路構成を示す回路図であり、図中、図1と同等部分には同一の符号を付して示している。本実施形態に係るシフトレジスタは、第1実施形態に係るシフトレジスタを基本構成としている。すなわち、第1実施形態の単位回路（転送段）10に加えて、インバータ回路21、波形整形用転送回路22および立ち上がり改善回路23を有する構成となっている。

【0036】

インバータ回路21は、前段の転送段の影響を無くし論理整合をとるためのものであり、正側電源 VDD と負側電源 VSS （または、 GND ）との間に直列に接続されたPMOSトランジスタ $Qp31$ およびNMOSトランジスタ $Qn31$ によって構成されている。これらMOSトランジスタ $Qp31$, $Qn31$ は、ゲート同士およびドレイン同士がそれぞれ共通に接続されることによってCMOSインバータを構成している。そして、MOSトランジスタ $Qp31$, $Qn31$ のゲート共通接続点には入力パルス st が与えられる。

【0037】

波形整形用転送回路22は、インバータ回路21を経た入力パルス st に対して波形整形の処理を施して単位回路10に転送するためのものであり、ドレインが正側電源 VDD に接続されたPMOSトランジスタ $Qp41$ と、このPMOS

トランジスタ Q_{p41} とゲート同士およびドレイン同士がそれぞれ共通に接続された NMOS トランジスタ Q_{n41} とを有し、NMOS トランジスタ Q_{n41} のソースにクロックパルス $ck1$ が与えられる構成となっている。

【0038】

この波形整形用転送回路 22 において、その入力端、即ち MOS トランジスタ Q_{p41} 、 Q_{n41} のゲート共通接続点がインバータ回路 21 の出力端、即ち MOS トランジスタ Q_{p31} 、 Q_{n31} のドレイン共通接続点に接続され、その出力端、即ち MOS トランジスタ Q_{p41} 、 Q_{n41} のドレイン共通接続点が単位回路 10 の入力端、即ち MOS トランジスタ Q_{p11} 、 Q_{n11} のゲート共通接続点に接続されている。

【0039】

立ち上がり改善回路 23 は、出力パルス OUT の立ち上がりを改善するためのものであり、正側電源 VDD と負側電源 VSS (または、GND) との間に直列に接続された PMOS トランジスタ Q_{p51} および NMOS トランジスタ Q_{n51} と、単位回路 10 の NMOS トランジスタ Q_{n21} に対して並列に接続された PMOS トランジスタ Q_{p52} とによって構成されている。

【0040】

この立ち上がり改善回路 23 において、MOS トランジスタ Q_{p51} 、 Q_{n51} は、ゲート同士およびドレイン同士がそれぞれ共通に接続されることによって C-MOS インバータを構成している。MOS トランジスタ Q_{p51} 、 Q_{n51} のゲート共通接続点は、単位回路 10 の MOS トランジスタ Q_{p21} 、 Q_{n21} のゲート共通接続点に接続されている。PMOS トランジスタ Q_{p52} は、そのゲートが MOS トランジスタ Q_{p51} 、 Q_{n51} のドレイン共通接続点に接続されている。

【0041】

上記構成の第 2 実施形態に係るシフトレジスタにおいて、波形整形用転送回路 22 の NMOS トランジスタ Q_{n41} のソースにクロックパルス $ck1$ が与えられるのに対して、単位回路 10 の NMOS トランジスタ Q_{n21} のソースには、クロックパルス $ck1$ に対して 1/4 位相だけずれたクロックパルス $ck2$ が与

えられることになる。

【0 0 4 2】

ここで、波形整形用転送回路 2 2 の回路動作について説明する。波形整形用転送回路 2 2 はクロックパルス ck_1 によって動作することで、当該波形整形用転送回路 2 2 の入力パルスに対して波形整形を行いながら、その波形整形後のパルスを次段の単位回路 1 0 に転送することになる。この波形整形用転送回路 2 2 による波形整形の作用により、入力パルス s_t が立ち上がり、立ち下がりが急峻なパルスとして単位回路 1 0 に入力されるため、当該単位回路 1 0 の周波数特性を向上できる。なお、波形整形用転送回路 2 2 を通過することによってパルスの位相が反転する。

【0 0 4 3】

この位相反転を考慮し、パルス波形の論理整合をとるために設けられたのがインバータ回路 2 1 である。すなわち、インバータ回路 2 1 は入力パルス s_t の位相を反転させることで、単位回路 1 0 との間に位相反転を生じさせる波形整形用転送回路 2 2 が介在していても、入力パルス s_t と同相のパルスを単位回路 1 0 に与えるようにしている。ただし、インバータ回路 2 1 は必須のものではない。すなわち、波形整形用転送回路 2 2 の NMOS トランジスタ Q_{n41} のソースに対して、クロックパルス ck_1 ではなく、それと逆相のクロックパルス ck_{1x} を与えるようにすれば、インバータ回路 2 1 が無くても、入力パルス s_t と同相のパルスを単位回路 1 0 に与えるようにすることができる。

【0 0 4 4】

次に、立ち上がり改善回路 2 3 の回路動作について説明する。まず、単位回路 1 0 では、クロックパルス ck_2 が NMOS トランジスタ Q_{n21} を通して与えられる構成が採られていることにより、当該 NMOS トランジスタ Q_{n21} に起因して出力パルス out の立ち上がりの特性が悪くなる。この立ち上がりの特性を改善するために設けられたのが、立ち上がり改善回路 2 3 である。

【0 0 4 5】

この立ち上がり改善回路 2 3 において、単位回路 1 0 の NMOS トランジスタ Q_{n21} に対して並列に接続された PMOS トランジスタ Q_{p52} は、当該 NM

OSトランジスタ Q_{n21} と共にC-MOSトランスファージェットゲート（トランスミッションゲート）を構成している。このC-MOSトランスファージェットゲートを通してクロックパルス $ck2$ を与えるようにすることで、クロックパルス $ck2$ の立ち上がりに対してPMOSトランジスタ Q_{p52} が瞬時に応答するため、NMOSトランジスタ Q_{n21} のみを通して与えられる場合に比べて、出力パルス out の立ち上がりの特性を改善できる。

【0046】

ここで、MOSトランジスタ Q_{p51} 、 Q_{n51} からなるC-MOSインバータは、NMOSトランジスタ Q_{n21} のゲートに与えられるパルスと逆相のパルスをPMOSトランジスタ Q_{p52} のゲートに与えるために設けられたものである。したがって、NMOSトランジスタ Q_{n21} のゲートに与えられるパルスと逆相のパルスを別途生成し、この生成したパルスをPMOSトランジスタ Q_{p52} のゲートに与える構成を採ることができるのであれば、MOSトランジスタ Q_{p51} 、 Q_{n51} からなるC-MOSインバータを省略することも可能である。

【0047】

上述したように、第2実施形態に係るシフトレジスタにおいては、第1実施形態に係るシフトレジスタを基本の構成とし、これに加えて波形整形用転送回路22および立ち上がり改善回路23を有する構成としたことにより、第1実施形態に係るシフトレジスタによる作用効果に加えて、次のような作用効果を得ることができる。すなわち、波形整形用転送回路22による作用によって周波数特性を向上することができ、また立ち上がり改善回路23による作用によって出力パルス out の立ち上がり特性を改善することができる。

【0048】

本実施形態に係るシフトレジスタも、第1実施形態に係るシフトレジスタと同様に多段接続されて用いられる。ここで、従来例に係る多段接続のシフトレジスタと、本実施形態に係る多段接続のシフトレジスタとを比較する。 $V_{DD}-V_S$ 間のトランジスタ数が4つの従来例に係る多段接続のシフトレジスタの場合には、図6のタイミングチャートから明らかなように、電源電圧を下げると誤動作し、また波形のなまりが大きい。そのため、電源電圧の低電圧化およびシフトレジスト

動作の高速化が難しい。

【0 0 4 9】

これに対して、 $VDD-VSS$ 間のトランジスタ数が3つの本実施形態に係る多段接続のシフトレジスタの場合には、図7のタイミングチャートから明らかなように、電源電圧を下げてでも誤動作しにくく、例えば電源電圧が5.5V程度でもデータの転送を行うことができ、また波形のなまりも小さい。したがって、従来例に係る多段接続のシフトレジスタに比べて、電源電圧の低電圧化およびシフトレジスタ動作の高速化が可能となる。

【0 0 5 0】

[適用例]

以上説明した各実施形態に係るシフトレジスタは、アクティブマトリクス型表示装置、例えば、画素の表示素子として液晶セルを用いてなるアクティブマトリクス型液晶表示装置において、その周辺駆動回路の一部、例えば水平駆動回路や垂直駆動回路の走査回路（スキャナ）として用いて好適なものである。

【0 0 5 1】

図8は、本発明に係るシフトレジスタが適用されるアクティブマトリクス型液晶表示装置の構成の一例を示す回路図である。図8において、複数行分の走査ライン31の各々と複数列分の信号ライン32の各々の交差部には複数の画素33が2次元状に配置されている。

【0 0 5 2】

複数の画素部33は各々、走査ライン31にゲート電極が、信号ライン32にソース電極がそれぞれ接続された画素トランジスタ、例えばTF T (Thin Film Transistor; 薄膜トランジスタ) 34と、このTF T 34のドレイン電極に画素電極が接続された液晶セル35と、当該ドレイン電極に一方の電極が接続された保持容量36とを有する構成となっている。液晶セル35の対向電極には、コモン電位 V_{com} が各画素共通に印加される。保持容量36の他方の電極は、CSライン39に対して各画素共通に接続されている。

【0 0 5 3】

複数の画素33の各々については、列単位で選択して駆動するための水平駆動

回路 3 7 と、行単位で選択して駆動するための垂直駆動回路 3 8 とによって画素単位に選択され、水平駆動回路 3 7 から信号ライン 3 2 を通して信号が書き込まれることになる。水平駆動回路 3 7 および垂直駆動回路 3 8 は、水平方向および垂直方向に順次走査するため走査回路を内蔵しており、この走査回路として先述した各実施形態に係るシフトレジスタが用いられる。

【0 0 5 4】

このように、アクティブマトリクス型液晶表示装置において、その周辺駆動回路の一部、例えば水平駆動回路 3 7 や垂直駆動回路 3 8 の走査回路として、先述した各実施形態に係るシフトレジスタを用いることにより、これらシフトレジスタは、それを駆動する電源電圧の低電圧化およびシフトレジスタ動作の高速化が可能であることから、液晶表示装置自体の電源電圧の低電圧化および表示速度の高速化を図ることができる。

【0 0 5 5】

なお、本適用例では、画素の表示素子として液晶セルを用いた液晶表示装置の走査回路（シフトレジスタ）に適用した場合を例に挙げて説明したが、液晶表示装置の走査回路への限られるものではなく、画素の表示素子として E L (electro luminescence) 素子を用いた E L 表示装置など、アクティブマトリクス型表示装置全般の走査回路に適用可能である。

【0 0 5 6】

さらに、本発明は、表示装置の走査回路に用いられるシフトレジスタへの適用に限定されるものではなく、例えば、CMOS イメージャに代表される X-Y アドレス型固体撮像素子の走査回路に用いられるシフトレジスタに適用することも可能である。

【0 0 5 7】

【発明の効果】

以上説明したように、本発明によれば、NAND 回路を用いて転送機能を実現するとともに、クロックパルス（または、それに準ずるパルス）自体を用いて保持機能を実現する構成としたことにより、電源電圧の低電圧化およびシフトレジスタ動作の高速化が可能になる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 実施形態に係るシフトレジスタの 1 つの転送段の回路構成を示す回路図である。

【図 2】

第 1 実施形態に係るシフトレジスタの動作説明に供するタイミングチャートである。

【図 3】

第 1 実施形態に係る単位回路を 2 段縦続接続した場合の構成を示す回路図である。

【図 4】

2 段縦続接続の場合のシフトレジスタの動作説明に供するタイミングチャートである。

【図 5】

本発明の第 2 実施形態に係るシフトレジスタの 1 つの転送段の回路構成を示す回路図である。

【図 6】

従来例に係る多段接続のシフトレジスタの動作説明に供するタイミングチャートである。

【図 7】

第 2 実施形態に係る多段接続のシフトレジスタの動作説明に供するタイミングチャートである。

【図 8】

本発明によるシフトレジスタが適用されるアクティブマトリクス型液晶表示装置の構成の一例を示す回路図である。

【図 9】

従来例に係るクロックインバータ方式のシフトレジスタの構成を示す回路図である。

【図 1 0】

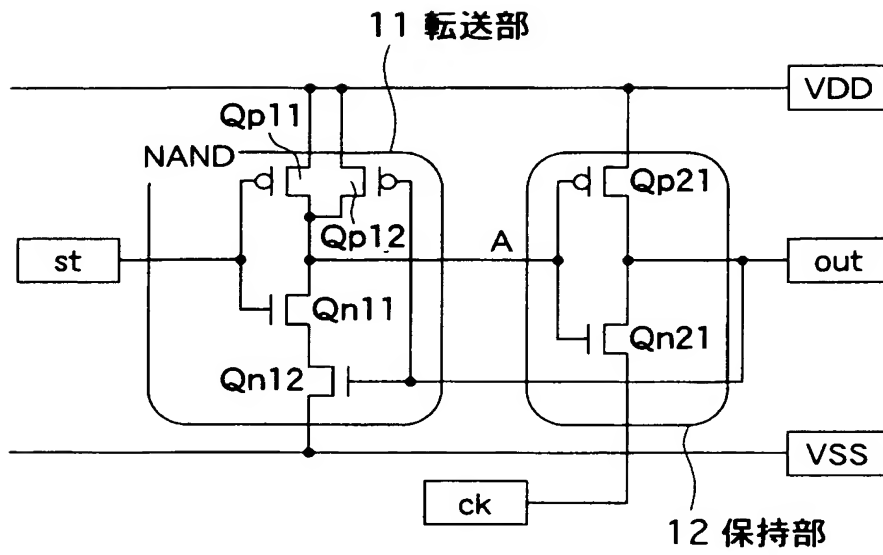
従来例に係るクロックインバータ方式のシフトレジスタの動作説明に供するタイミングチャートである。

【符号の説明】

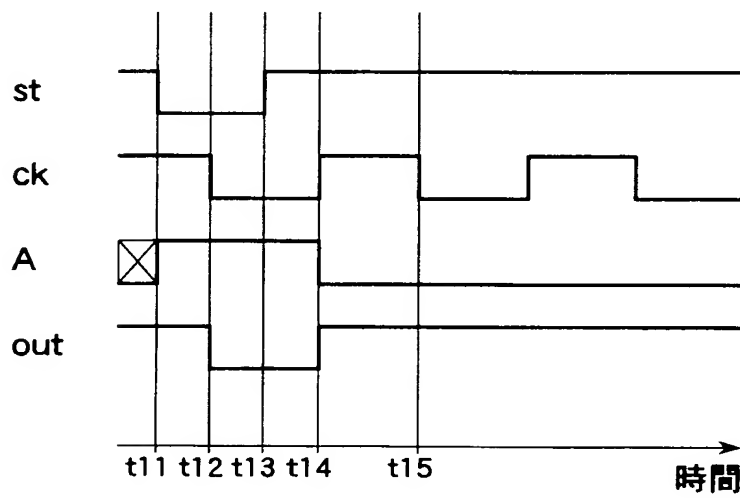
1 0, 1 0 - 1, 1 0 - 2 …単位回路（転送段）、1 1 …転送部、1 2 …保持部、2 1 …インバータ回路、2 2 …波形整形用転送回路、2 3 …立ち上がり改善回路、3 3 …画素、3 4 …T F T（薄膜トランジスタ）、3 5 …液晶セル、3 6 …保持容量、3 7 …水平駆動回路、3 8 …垂直駆動回路

【書類名】 図面

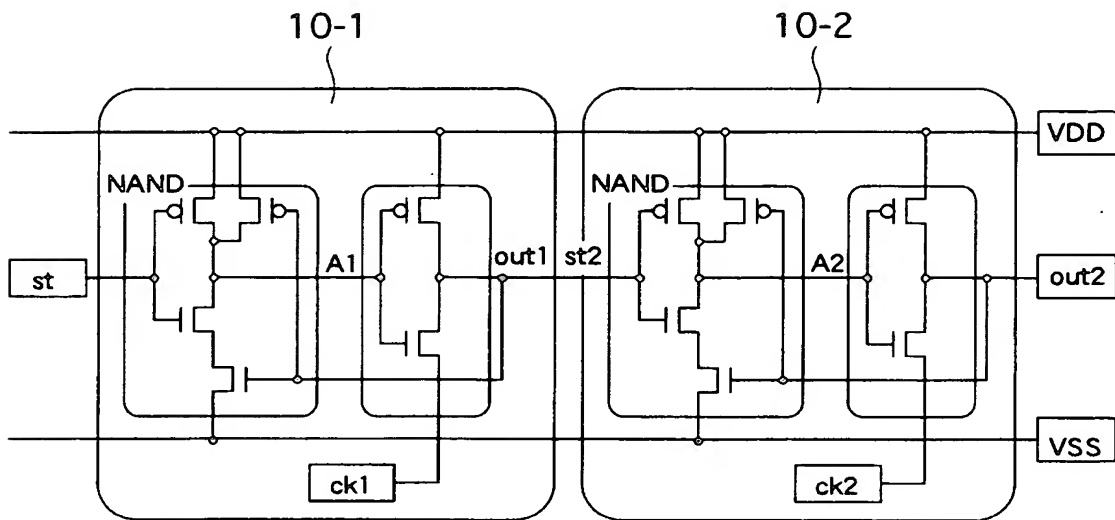
【図 1】



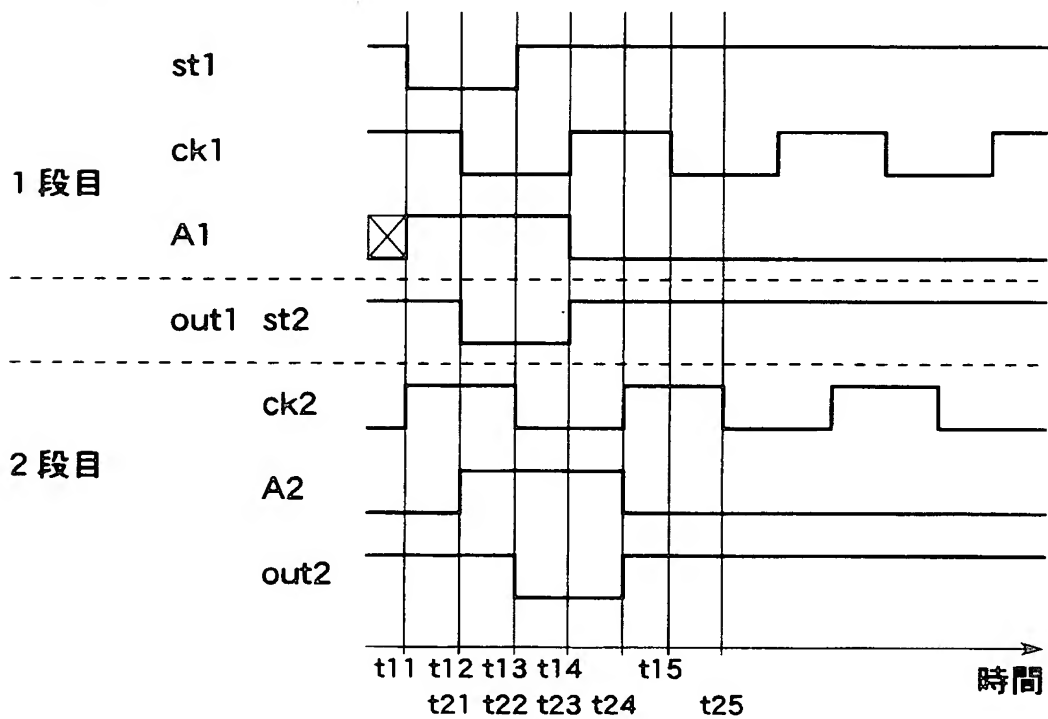
【図 2】



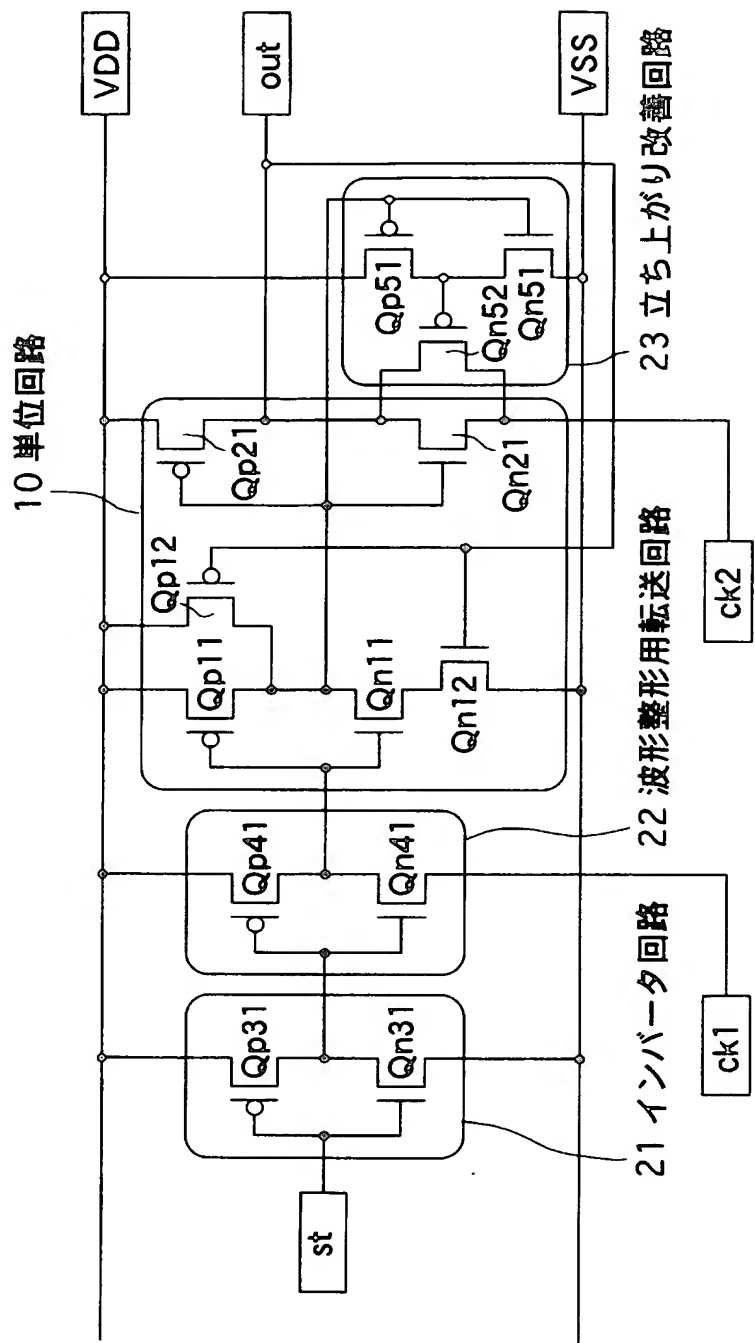
【図 3】



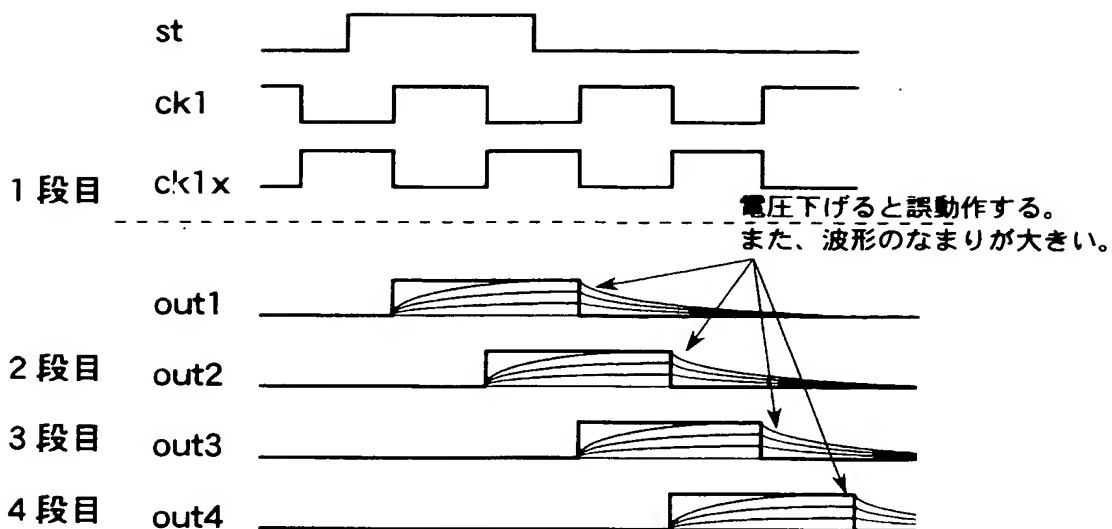
【図 4】



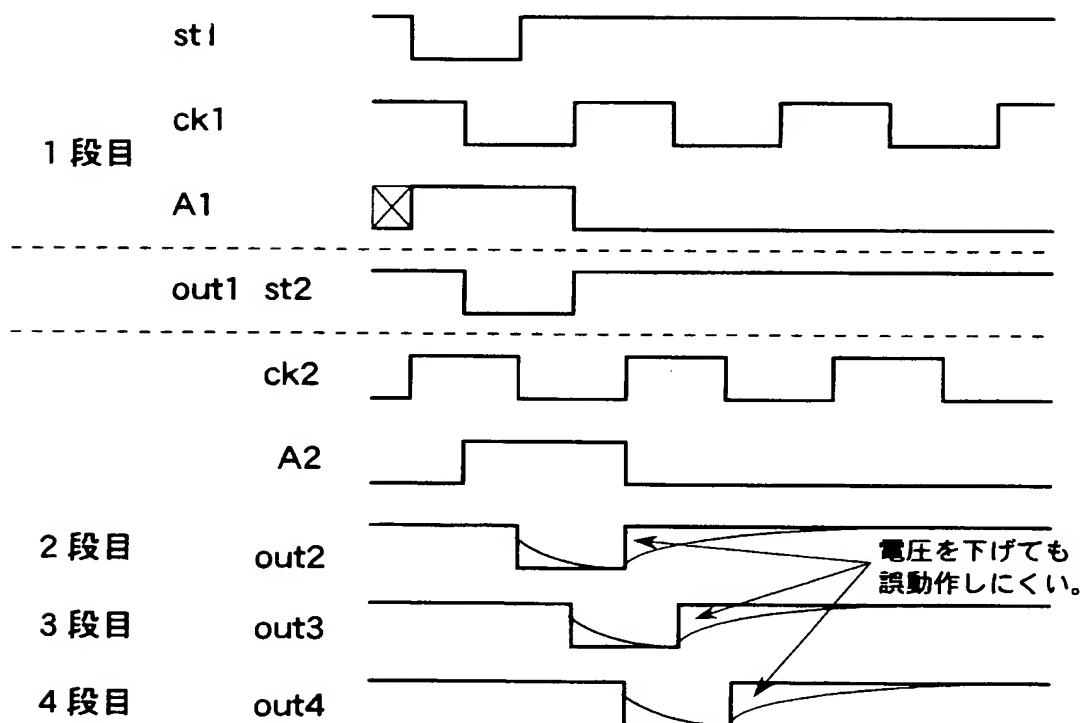
【図 5】



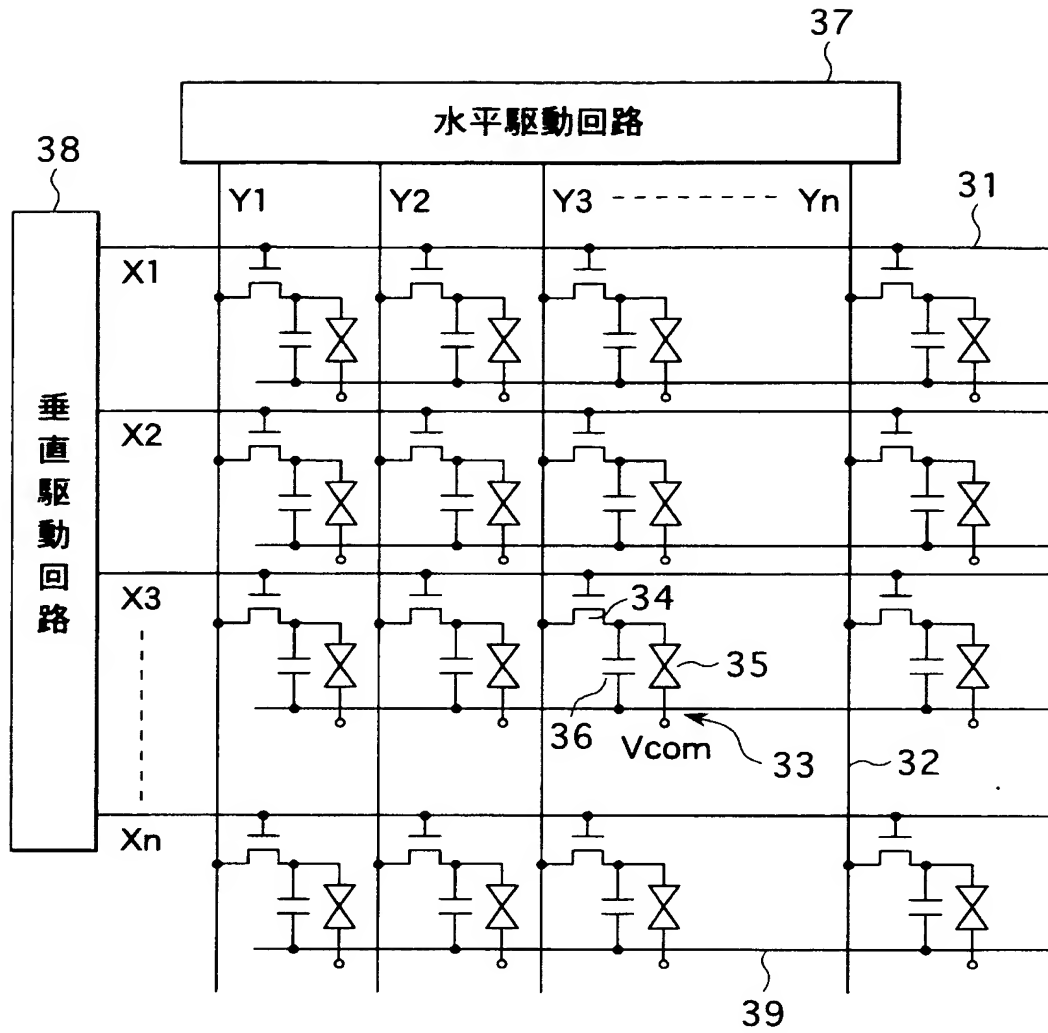
【図 6】



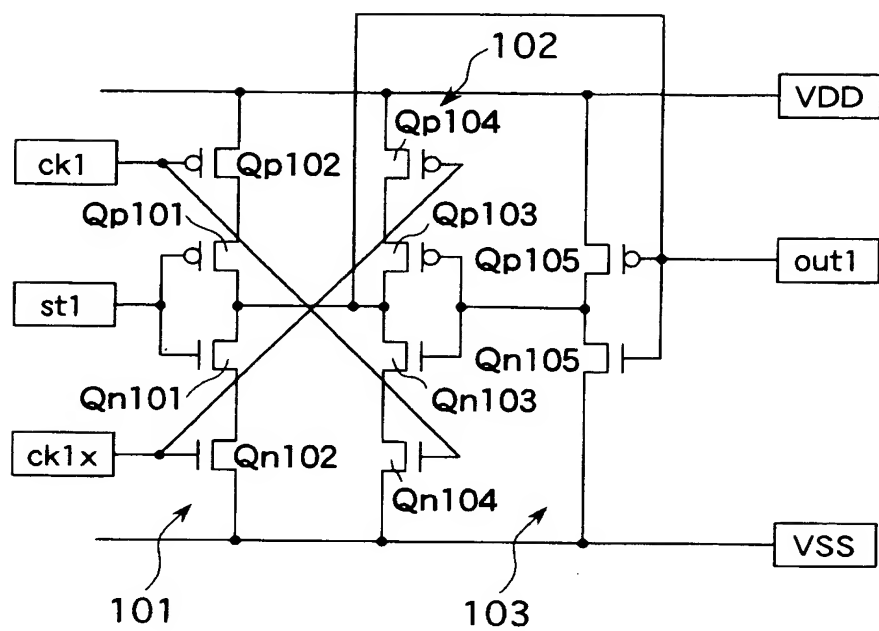
【図 7】



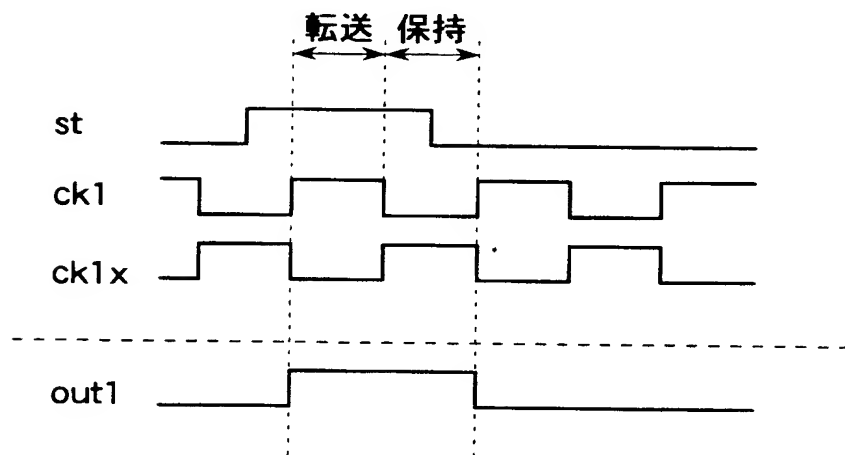
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 クロックインバータを用いた場合、 $VDD-VSS$ 間のトランジスタの素子数が4つと多いため、電源電圧の低電圧化およびシフトレジスト動作の高速化の妨げとなる。

【解決手段】 $NAND$ 回路を用いて転送機能を実現する転送部11と、クロックパルス ck 自体を用いて保持機能を実現する保持部12とによって単位回路を構成し、この単位回路を複数段縦続接続することで、正側電源 VDD - 負側電源 VSS (または、 GND) 間のトランジスタの素子数を3つに抑え、電源電圧の低電圧化およびシフトレジスト動作の高速化を可能とする。

【選択図】 図1

特願 2 0 0 3 - 0 4 6 7 7 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社